

IRREVERSIBLE CIRCUIT ELEMENT

Patent Number: JP9326606
Publication date: 1997-12-16
Inventor(s): KURAHASHI TAKAHIDE;; OHATA SHUSUKE;; SUZUKI TOSHIYUKI;; NAKAJIMA SHIGEYUKI;; MIURA TARO
Applicant(s): TDK CORP
Requested Patent: ☐ JP9326606
Application Number: JP19960139838 19960603
Priority Number(s):
IPC Classification: H01P1/383
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the size of an irreversible circuit element and to secure the resonance capacitance with no deterioration of the circuit element by forming the capacitance forming parts at the input and ground sides of a center conductor via the capacitor electrodes.

SOLUTION: A capacitance forming part 108 covers all ground sides of three terminals 121, 122 and 123 of an irreversible circuit element. A capacitance forming part 105 existing at the input side of the terminal 121 forms the resonance capacitance of the terminal 121 against the part 108, and a capacitance forming part 106 existing at the input side of the terminal 122 forms the resonance capacitance of the terminal 122 against the part 108. In the same way, a capacitance forming part 107 existing at the input side of the terminal 123 forms a capacitance forming part of the terminal 123 against the part 108. Thus, the resonance capacitance can be effectively formed owing to a center conductor and the capacitance forming parts of such structures. Then the resonance capacitance is secured by a capacitance forming part of a small area and therefore the size of the irreversible circuit element can be reduced.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-326606

(43)公開日 平成9年(1997)12月16日

(51)Int.Cl.⁶

H 0 1 P 1/383

識別記号

庁内整理番号

F I

H 0 1 P 1/383

技術表示箇所

A

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願平8-139838

(22)出願日

平成8年(1996)6月3日

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 倉橋 孝秀

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(72)発明者 大波多 秀典

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(72)発明者 鈴木 利幸

東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

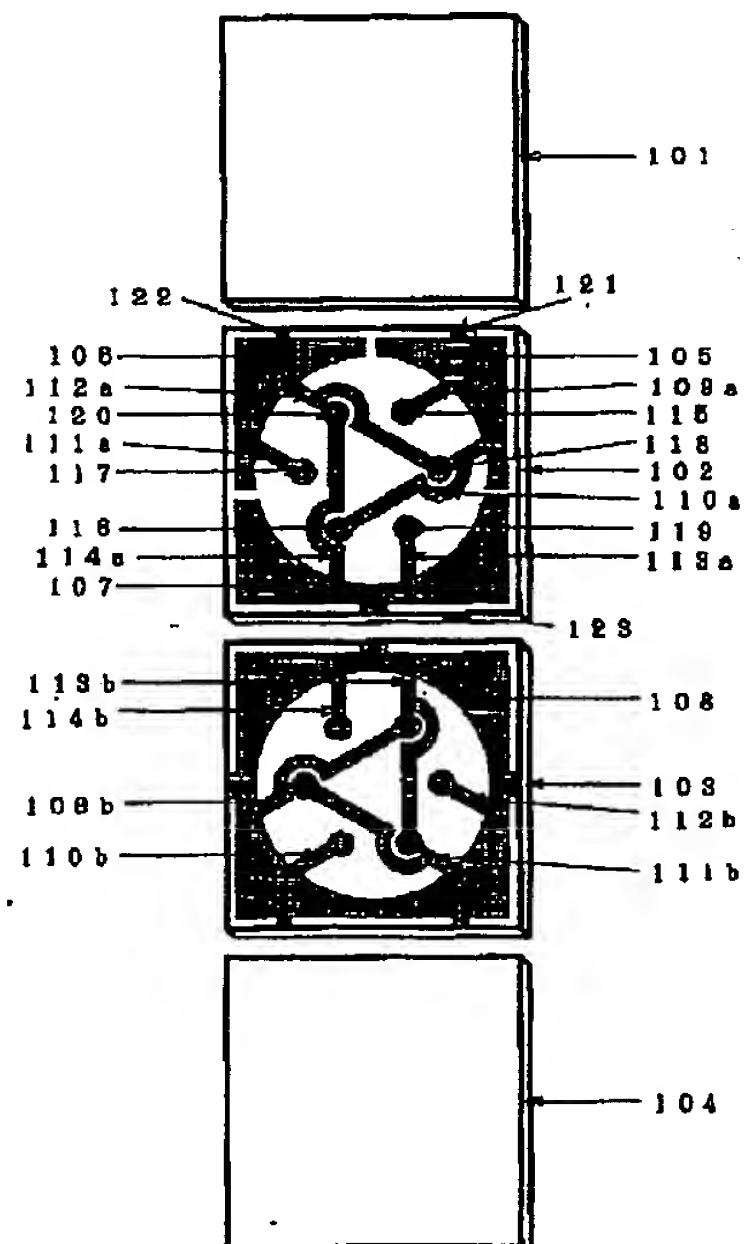
最終頁に続く

(54)【発明の名称】 非可逆回路素子

(57)【要約】

【課題】 本発明は、小型化が可能であり、また特性を劣化させることなく共振容量を得ることができる非可逆回路素子を提供することを目的とする。

【解決手段】 磁気回転子が所定パターンの中心導体およびキャパシタンス電極と一体的に焼成された絶縁性磁性体からなる非可逆回路素子において、前記キャパシタンス電極が中心導体の入力側およびグランド側に容量形成部を形成することを特徴とする。さらに、前記中心導体が形成された層の上層または下層の少なくとも一方に、中心導体の入力側の容量形成部と共振容量を形成するグランド電極を設けることもできる。



【特許請求の範囲】

【請求項1】 磁気回転子が所定パターンの中心導体およびキャパシタンス電極と一体的に焼成された絶縁性磁性体からなる非可逆回路素子において、前記キャパシタンス電極が中心導体の入力側およびグランド側に容量形成部を形成することを特徴とする非可逆回路素子。

【請求項2】 前記中心導体が形成された層の上層または下層の少なくとも一方に、中心導体の入力側の容量形成部と共振容量を形成するグランド電極を有することを特徴とする請求項1の非可逆回路素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯域等で用いられる無線機器、例えば携帯電話のごとき移動体無線機器等に使用される集積形の非可逆回路素子に関する。

【0002】

【従来の技術】従来の集中定数型非可逆回路素子は、図3の分解斜視図に示すごとく基本構造を有し平面形状が円形の組立式の磁気回転子を備えていた。同図において、31はガラス・エポキシ樹脂等からなる円形の非磁性体基板であり、この非磁性体基板31の上下面には中心導体32および33が形成されている。中心導体31および32は、非磁性体基板31を貫通するビアホール34で互いに接続されている。中心導体32および33を形成したこの非磁性体基板31を両側から挟むように、円形の磁性体部材35および36が組立式で取り付けられており、中心導体32および33に印加される高周波電力によってこれら磁性体部材35および36内に高周波磁束が生じるように構成されている。このように、中心導体を形成した非磁性体基板31の両側に磁性体部材35および36を単に積み重ねて接着した構造となっている。

【0003】しかしながら、従来の組立式非可逆回路素子では、2つの分割されている磁性体部材35および36により駆動線路をはさむ構成とした場合にその磁路が非磁性体基板31によって遮断されてしまう。このため、磁性体部材35および36と非磁性体基板31との境界面に反磁界が発生し、その結果透磁率が低減してしまい、素子の小型化、広帯域化、低損失化の要請に十分に答えることができなかった。

【0004】このような問題に対して、磁気回転子を所定のパターンの内部導体と一体的に焼成された絶縁性磁性体で構成することにより、磁性体内に不連続部分が存在しなくなり、その結果、磁気回転子内に反磁界が発生しなくなる。これにより小型小型化、広帯域化、低損失化を図ることができる。このような一体焼成型非可逆回路素子としてこれまでに種々のものが提案されている。

【0005】また、一般に集中定数型非可逆回路素子は、所定の周波数で動作させるために、磁気回転子に共

振容量を付加して構成される。磁気回転子が所定のパターンの中心導体と一体的に焼成された絶縁性磁性体とからなる非可逆回路素子において、上下のグランド層と容量を形成する共振用のコンデンサ電極を一体形成する例が、特開平6-343005、特開平6-338707に示されている。図4にその分解斜視図を示す。絶縁性磁性体材料による上部シート401、中間シート402、および下部シート403と、内部導体がその上に印刷されており同じ絶縁性磁性体材料による基板シート404a、404b、404c、405a、405bおよび405cが積層され一体的に焼結されて連続層となっている。基板シート404a、404b、404c、405a、405bおよび405cの上面には、コイルの巻回数に応じた数の上部内導体406a、406bおよび406c、並びに下部内導体407a、407bおよび407cがそれぞれ形成されている。

【0006】共振用キャパシタ部分は、上部シート401の上面に形成された磁気回転子用接地導体401aと、その上に積層された磁気回転子と同じ正六角形状の第一の誘電体シート408と、この誘電体シート408の上面に形成されたキャパシタ用接地電極409、その上に積層された磁気回転子と同じ正六角形の第二の誘電体シート410と、この誘電体シート410の上面に形成されたキャパシタ用設置電極410aとからなっている。キャパシタ電極409は、磁気回転子の側面に形成されるキャパシタ用ジャンパー導体（図示せず）を介して上述のコイル導体の一端に接続されている。

【0007】この場合、磁気回転子の側面に形成されるキャパシタ用ジャンパー導体は、外部に露出することになり、周辺の影響を受けやすくなってしまふ。また共振回路のインダクタンスとキャパシタンス電極との距離が大きくなり、ジャンパー導体による浮遊インダクタンスが増加しアイソレーション特性に悪影響を及ぼしていた。

【0008】また、特開平6-61708にコンデンサを内蔵した非可逆回路素子の例が示されているが、この場合は整合用コンデンサとなっており、共振容量を形成するものではない。特開平6-291515に、インピーダンスの整合容量を一体形成してなる例が示されているが、これも共振容量を構成するものではない。特開平7-111405に、中心電極の相互の線間容量を整合容量として利用するという例が示されている。この場合も共振容量を形成するものではない。

【0009】

【発明が解決しようとする課題】このように、磁気回転子が所定パターンの中心導体と共振用のキャパシタンス電極が一体的に焼成された絶縁性磁性体からなる非可逆回路素子において、共振用のキャパシタンス電極を磁気回転子の上下、またはその一方のグランド電極との間で形成した場合、中心導体とキャパシタンス電極との距離

が大きくなり、浮遊インダクタンスが増加しアイソレーション特性に悪影響を及ぼす。また、中心導体間の線間容量で共振容量を得ようとする、高周波側での特性が悪化するという問題があった。また、中心導体と同一面内にキャパシタンス電極を形成し、磁気回転子の表面に形成されたグラウンド電極との間で共振器容量を得る場合、所定の共振周波数で共振させようとする、キャパシタンス電極の面積が非常に大きくなってしまい、非可逆回路素子として小型化ができなくなる。以上のように、小さな面積で特性を悪化させずに共振容量を得るのは難しいことであった。

【0010】本発明は、上記事情に省みてなされたものであり、小型化が可能であり、また特性を悪化させることなく共振容量を得ることができる非可逆回路素子を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的は、下記(1)～(2)のいずれかの構成により達成される。

(1) 磁気回転子が所定パターンの中心導体およびキャパシタンス電極と一体的に焼成された絶縁性磁性体からなる非可逆回路素子において、前記キャパシタンス電極が中心導体の入力側およびグラウンド側に容量形成部を形成することを特徴とする非可逆回路素子。

【0012】(2) 前記中心導体が形成された層の上層または下層の少なくとも一方に、中心導体の入力側の容量形成部と共振容量を形成するグラウンド電極を有することを特徴とする(1)の非可逆回路素子。

【0013】

【発明の実施の形態】磁気回転子が所定パターンの中心導体および共振用のキャパシタンス電極と一体的に焼成された絶縁性磁性体からなる非可逆回路素子において、共振用のキャパシタンス電極を中心導体の入力側およびグラウンド側両方に共振容量を形成するように配置する。以下図面に従って説明する。

【0014】図1は絶縁性磁性体材料による上部シート101、下部シート104および内部導体109～114と容量形成部105～108が形成された中間シート102、103が一体焼成されてなる磁気回転子の分解図である。この場合容量形成部108は、非可逆回路素子の3個の端子121、122、123の全てのグラウンド側の容量形成部となる。端子121の入力側に形成された容量形成部105は、容量形成部108との間で端子121の共振容量を形成する。また、端子122の入力側に形成された容量形成部106は、容量形成部108との間で、端子122の共振容量を形成する。同様に端子123の入力側に形成された容量形成部107は、容量形成部108との間で端子123の共振容量を形成する。このように図1の様な構造の中心導体、および容量形成部にすることにより共振容量を効果的に形成することができる。

【0015】また、図2に示すようにグラウンド電極206を、端子電極の上層または下層または両方に形成することもできる。この電極206は、磁性体側面でグラウンド電極210と接続され、グラウンド電位となる。各端子の入力側に形成された容量形成部207、208、209は、グラウンド電極206、210両方と共振容量を形成する。このことにより共振容量をより小さな面積の容量形成部で形成することが可能となる。また、共振容量形成部と中心導体を接続するためのジャンパー導体を形成する必要がなく、これにより浮遊インダクタンスをなくすことができ、特性の劣化を招くことなく非可逆回路素子の小型化が可能となる。

【0016】

【実施例】

(実施例1) 図1に第1の実施例の分解図を示す。以下に、具体的な製造工程を示す。

【0017】酸化イットリウム(Y_2O_3)と酸化鉄(Fe_2O_3)をモル比で3:5の割合で混合した。混合粉を1200℃で仮焼した。得られた仮焼粉をボールミルにて粉砕した。有機バインダーおよび溶剤を添加し、磁性体スラリーを作製した。得られたスラリーをドクターブレード法にて、グリーンシート101～104に成形した。グリーンシート102、103にビアホール用の穴をパンチングマシンで形成し、その後グリーンシート102、103に厚膜印刷法で中心導体パターン109～114および容量形成部導体パターン105～108を形成した。このとき、ビアホール115～120のビアホールの充填も同時に行った。導体材料にはパラジウムペーストを使用した。

【0018】図1では中心導体109aと109bがビアホール115で接続されている。同様に、中心導体110aと110bがビアホール116で、中心導体111aと111bがビアホール117で、中心導体112aと112bがビアホール118で、中心導体113aと113bがビアホール119で、中心導体114aと114bがビアホール120でそれぞれ接続された、中心導体が編み込まれた構造となっている。

【0019】グリーンシート101～104を熱圧着し、積層体を得た。その後所定の大きさの形状に切断し、1480℃で焼成した。次に、焼成体の上下面に銀ペーストを焼き付けることによってグラウンド電極を形成した。さらに、焼成体側面に、各端子電極および、上下のグラウンド電極と導体パターン108の電極引き出し部分をつなぐ電極を、銀ペーストを焼き付けることにより形成した。これにより磁性体、中心導体、キャパシタンス電極が一体化された非可逆回路素子を得た。さらに、外部より直流磁界を印加し、非可逆回路素子として動作させた。導体パターン105～107の容量形成部分は、導体パターン108との間で共振容量を効率よく形成する。また、容量形成部分の導体形状は図1に限定さ

れるものではなく上記目的を果たせばいかなる形状であってもかまわない。

【0020】（実施例2）図2に第2の実施例の分解斜視図を示す。以下に、具体的な製造工程を示す。

【0021】酸化イットリウム（ Y_2O_3 ）と酸化鉄（ Fe_2O_3 ）をモル比で3：5の割合で混合した。混合粉を1200℃で仮焼した。得られた仮焼粉をボールミルにて粉碎した。有機バインダーおよび溶剤を添加し、磁性体スラリーを作製した。得られたスラリーをドクターブレード法にて、グリーンシート201～105に成形した。グリーンシート203、204にビアホール用の穴をパンチングマシンで形成し、その後グリーンシートに厚膜印刷法で中心導体パターン211～216および容量形成部導体パターン207～210を形成した。さらにグリーンシート202にグラウンドパターン206を形成した。このとき、ビアホール217～222のビアホールの充填も同時に行った。導体材料にはパラジウムペーストを使用した。

【0022】図2では中心導体211aと211bがビアホール217で接続されている。同様に、中心導体212aと212bがビアホール218で、中心導体213aと213bがビアホール219で、中心導体214aと214bがビアホール220で、中心導体215aと215bがビアホール221で、中心導体216aと216bがビアホール222でそれぞれ接続された、中心導体が編み込まれた構造となっている。

【0023】グリーンシート201～205を熱圧着し、積層体を得た。その後所定の大きさの形状に切断し、1480℃で焼成した。次に、焼成体の上下面に銀ペーストを焼き付けることによってグラウンド電極を形成した。さらに、焼成体側面に、各端子電極および、上下のグラウンド電極と導体パターン210の電極引き出し部分、グラウンドパターン206の電極引き出し部分をつなぐ電極を、銀ペーストを焼き付けることにより形成し

た。これにより磁性体、中心導体、キャパシタンス電極、グラウンド電極が、一体化された非可逆回路素子を得た。さらに、外部より直流磁界を印加し、非可逆回路素子として動作させた。導体パターン207～209の容量形成部分は、導体パターン210との間で共振容量を効率よく形成する。さらに、グラウンドパターン206との間とも共振容量を形成することになり、より効率的な共振容量の形成が可能となる。また、容量形成部分の導体形状は図2に限定されるものではなく上記目的を果たせばいかなる形状であってもかまわない。

【0024】

【発明の効果】集中定数型のサーキュレータにおいて、共振容量を少ない面積の容量形成部で形成することができるようになり、サーキュレータの小型化が可能となる。また、浮遊インダクタンスをなくことができ、特性の劣化を防ぐことができる。

【図面の簡単な説明】

【図1】本発明に係る非可逆回路素子の分解斜視図。

【図2】本発明に係る非可逆回路素子の他の実施例を示す分解斜視図。

【図3】従来の非可逆回路素子の分解斜視図。

【図4】従来の非可逆回路素子の分解斜視図。

【符号の説明】

101、102、103、104

磁性体

105、106、107、108

容量形成部

109、110、111、112、113、114

中心導体

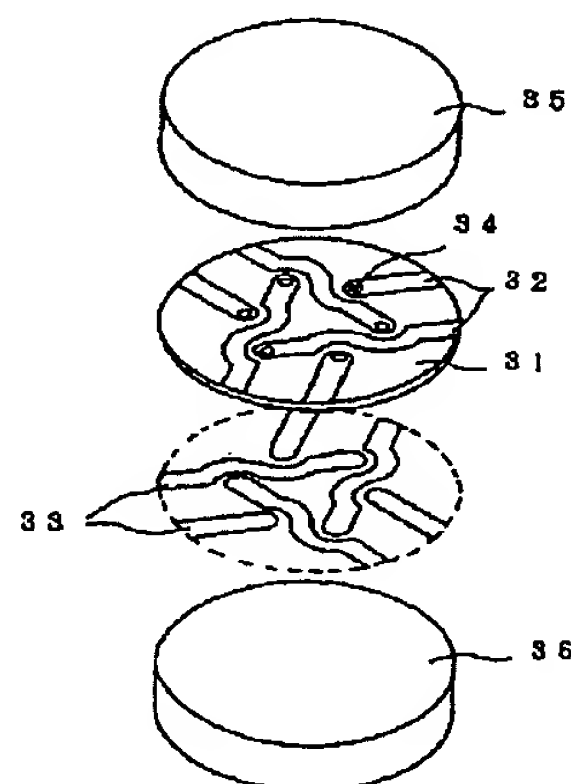
115、116、117、118、119、120

ビアホール

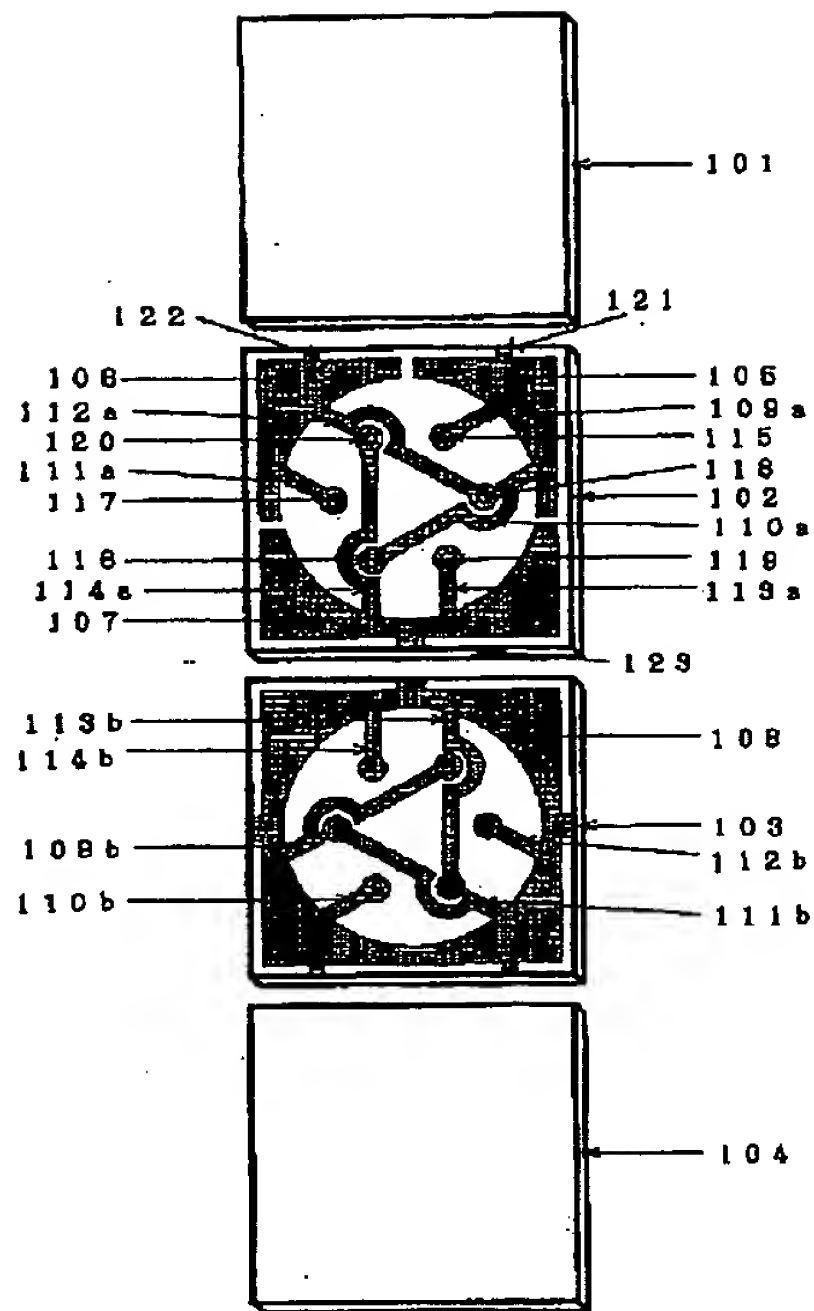
121、122、123

端子

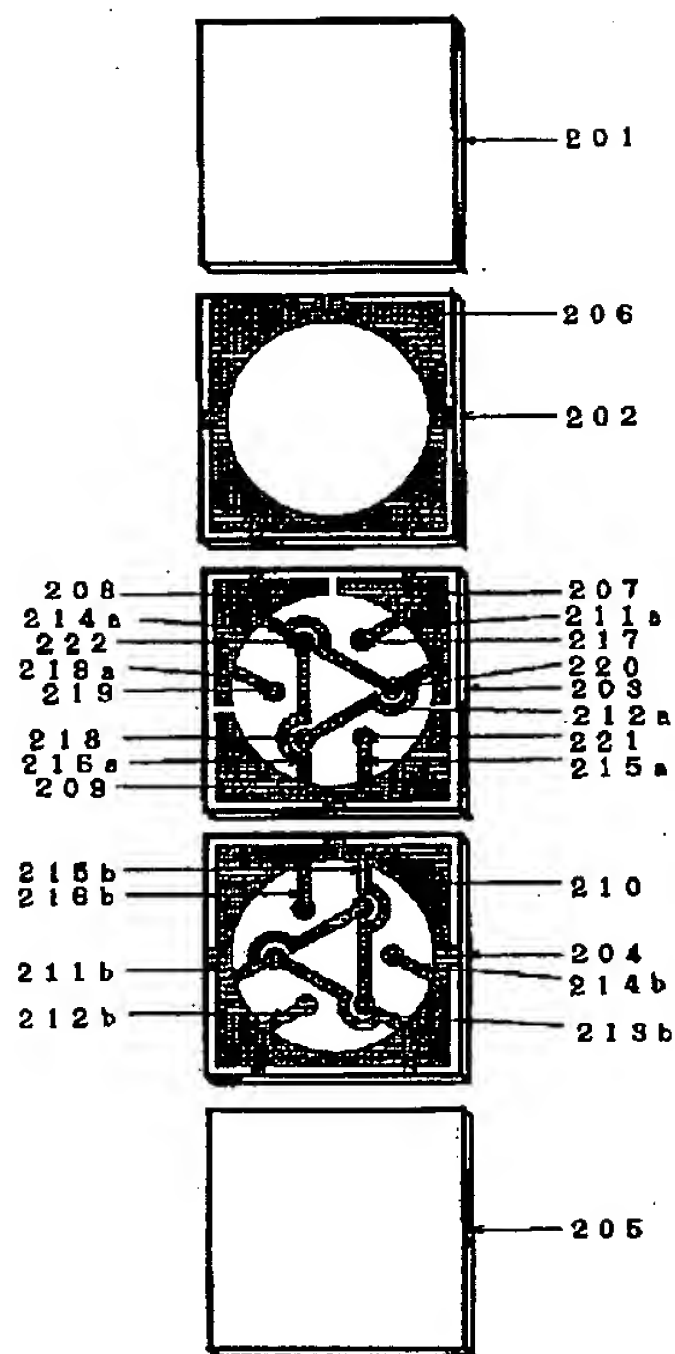
【図3】



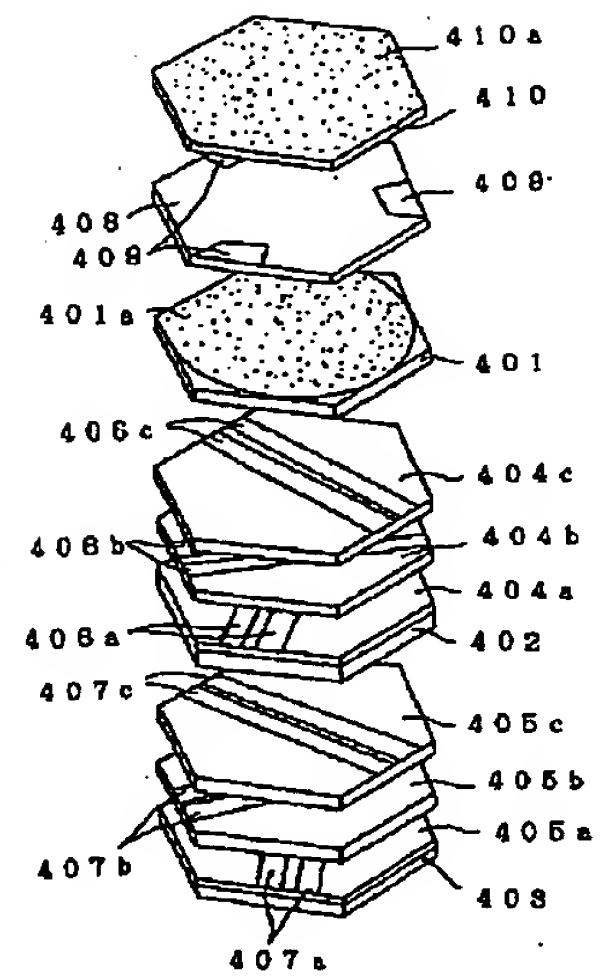
【図1】



【図2】



【図4】



フロントページの続き

(72)発明者 中島 重行
東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

(72)発明者 三浦 太郎
東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内